



03003

A34942 - 066340.0142

0440
0420

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Fettweis et al,
Serial No. : 10/075,916
Filed : February 14, 2002
For : METHOD AND ARRANGEMENT FOR INSTRUCTION WORD
GENERATION IN THE DRIVING OF FUNCTIONAL UNITS IN A
PROCESSOR

I hereby certify that this paper is being deposited with the United
States Postal Service as first class mail in an envelope addressed to:
Assistant Commissioner for Patents, Washington, D.C. 20231, on:
March 26, 2002

Date of Deposit

James J. Maune

Attorney Name

26,946

PTO Reg. No.

March 26, 2002

Date of Signature

Signature

CLAIM FOR PRIORITY UNDER 35 U.S.C. §119

Assistant Commissioner of Patents

Washington, D.C. 20231

Sir:

A claim for priority is hereby made under the provisions of 35 U.S.C. §119 for
the above-identified U.S. patent application based upon German patent Application No. 101 07
102.7-53 filed February 14, 2001. A certified copy of this application is enclosed.

Respectfully submitted,

James J. Maune

Patent Office Reg. No. 26,946

Attorney for Applicants

212-408-2566

Baker Botts LLP
30 Rockefeller Plaza
New York NY 10112

NY02:377726.1

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 101 07 102.7
Anmeldetag: 14. Februar 2001
Anmelder/Inhaber: Systemonic AG, Dresden/DE
Bezeichnung: Verfahren und Anordnung zur Instruktions-
wortgenerierung bei der Ansteuerung von
Funktionseinheiten in einem Prozessor
IPC: G 06 F 9/28

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-
sprünglichen Unterlagen dieser Patentanmeldung.**

München, den 07. Februar 2002
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Agurks

LIPPERT, STACHOW, SCHMIDT & PARTNER

Patentanwälte · European Patent Attorneys · European Trademark Attorneys

Krenkelstraße 3 · D-01309 Dresden

Telefon +49 (0) 351.3 18 18-0

Telefax +49 (0) 351.3 18 18 33

Ad-wb/wb

14. Februar 2001

5

Systemonic AG**01099 Dresden**

10

**Verfahren und Anordnung zur Instruktionswortgenerierung bei
der Ansteuerung von Funktionseinheiten in einem Prozessor**

15

20

25

30

35

Die Erfindung betrifft ein Verfahren zur Erzeugung von Instruktionsworten zur Ansteuerung von Funktionseinheiten in einem Prozessor, wobei die Instruktionsworte aus mehreren Instruktionswortteilen bestehen. Jeder Instruktionswortteil steuert je eine Funktionseinheit an. Hierbei erfährt eine aus einer Übersetzung eines Programmcodes stammende Folge von Primäristruktionsworten vor einem Programmablauf eine Fraktionierung in Programmworte. Beim Programmablauf wird, gesteuert durch ein Programmwort, welches einen Informationsteil zumindest von der Breite eines Instruktionswortteiles aufweist, aus einer durch eine Lesezeilennummer bestimmten Zeile eines zeilenweise beschreibbaren Instruktionswortspeichers ein Instruktionswort entnommen und mittels Substitution eines Instruktionswortteiles durch den Informationsteil des jeweiligen Programmwortes verändert. Danach wird es in eine durch eine Schreibzeilennummer bestimmte Zeile des Instruktionswortspeichers zurückgeschrieben. Nach einer auf diese Weise erfolgten Erzeugung eines dem abzuarbeitenden Primäristruktionswort entsprechenden Instruktionswortes wird dieses zur Ansteuerung der Funktionseinheiten ausgegeben.

Die Erfindung betrifft weiterhin eine Anordnung zur Durchführung des oben genannten Verfahrens.

In der deutschen Patentschrift DE 198 59 389 C1 wird ein Ver-

fahren der eingangs genannten Art und eine Anordnung zur Ansteuerung von Funktionseinheiten in einem Prozessor beschrieben.

5 Bei dieser bekannten Lösung sind in dem Programmwort neben dem Informationsteil zumindest auch die Informationen über die Schreib- und Lesezeilennummer enthalten. Dies bedingt eine Breite der Programmworte, die einerseits mit der damit erforderlichen Verarbeitung und Decodierung der Steuerinformationen
10 Einschränkungen in der Verarbeitungsgeschwindigkeit der aufgabenbezogenen Daten ergeben. Andererseits bedingt die hohe Datenbreite bei der Programmwortverarbeitung einen hohen Hardwareaufwand bei der Realisierung des Prozessors.

15 Aufgabe der Erfindung ist es, die Datenbreite des zu verarbeitenden Programmwortes zu verringern, um den Hardwareaufwand und damit die Kosten für die Realisierung des Prozessors niedrig zu halten.

20 Diese Aufgabe wird verfahrenseitig durch die kennzeichnenden Merkmale des Anspruchs 1 und anordnungsseitig durch die kennzeichnenden Merkmale der Ansprüche 8 und 9 mit den entsprechenden Merkmalen des Standes der Technik gelöst.

25 Hierbei wird realisiert, dass die benötigten Lese/Schreib Steuerinformationen durch ein Lese-Zeiger-Register, welches die Lesezeilennummer gespeichert hat, und durch ein Schreib-Zeiger-Register, welches die Schreibzeilennummer gespeichert hat, je Programmwortverarbeitung bereitgestellt werden.

30 Günstigerweise werden möglichst viele abzuarbeitende Instruktionsworte aufeinanderfolgend im Instruktionswortspeicher zusammengestellt und abgelegt, so daß sie in Blöcken zusammengefaßt werden. So können das Lese-Zeiger-Register und das
35 Schreib-Zeiger-Register mit der Anzahl aufeinanderfolgender Lese- und Schreibzeilennummern in einer Ring-Zählweise eingestellt werden. Diese Anzahl wird durch den Inhalt eines Blocklängen-Registers bereitgestellt.

In einer besonderen Ausgestaltung des erfindungsgemäßen Verfahrens wird vorgesehen, dass das Programmwort ein Set-Bit aufweist, durch welches bei gesetztem aktiven Zustand des Set-Bits die Instruktionsworterzeugung ausgesetzt wird und die Registerinhalte des Lese-Zeiger-Registers, und/oder des Schreib-Zeiger-Registers und/oder des Blocklängen-Registers durch den Inhalt des Informationsteiles des Programmwortes gesetzt werden und bei gesetztem inaktiven Zustand des Set-Bits die Erzeugung des Instruktionswortes durchgeführt wird.

Mit dieser Lösung wird realisiert, dass die notwendigen Informationen für das Lese-Zeiger-Register, das Schreib-Zeiger-Register und das Blocklängen-Register zur Abarbeitung eines weiteren Blockes von Instruktionsworten erkannt, decodiert und nicht wie ein Programmwort weiterverarbeitet werden. Dadurch können diese Register voreingestellt werden.

Damit kann erreicht werden, dass jeweils die Zeile des Instruktionswortspeichers für die Erzeugung des dem Primärinstruktionswort entsprechenden Instruktionswortes durch die Programmwortfolge angesprochen wird, die das Instruktionswort enthält, welches die geringsten Änderungen erfahren muß.

Auch kann ein für die weitere Instruktionswortfolge günstigeres Schreiben gewählt werden. Wenn beispielsweise mehrere Programmworte für die Erzeugung des dem Primärinstruktionswortes entsprechenden Instruktionswortes, d.h. also mehrere Zwischenschritte erforderlich sind, kann es zweckmäßig sein, bei jedem Zwischenschritt aus derselben Zeile zu lesen und wieder in dieselbe zu schreiben. Das Lese-Zeiger-Register und das Schreib-Zeiger-Register werden also angehalten, was durch die Registereinstellungen bestimmt werden kann.

Anschließend kann es zweckmäßig sein, mit einer bestimmten Wiederholrate die Schreibzeilen- und Lesezeilennummern, beginnend ab jeweils einer bestimmten Nummer, ab- oder aufwärtssteigend laufen zu lassen. Auch das kann mit einer erneuten

Einstellung bewerkstelligt werden.

In einer ergänzenden Ausgestaltung des erfindungsgemäßen Verfahrens wird vorgesehen, dass mit gesetztem aktiven Zustand des Set-Bits des Programmwortes der Inhalt des Informationsteiles in das Lese-Zeiger-Register, das Schreib-Zeiger-Register und Blocklängen-Register einspeichert wird.

Eine vorteilhafte Ausführung des erfindungsgemäßen Verfahrens sieht vor, dass der Instruktionswortspeichers in eine erste Instruktionswortspeicherseite und in eine zweite Instruktionswortspeicherseite mit jeweils gleicher Zeilennummerierung aufgeteilt wird und dass für die Synthese des Instruktionswortes die aufzurufende Instruktionswortspeicherseite vom Inhalt eines Seitenregisters bestimmt wird.

Bei dieser Ausgestaltung werden die verschiedenen Gruppierungen des Instruktionswortspeichers, die Instruktionswortspeicherseiten, durch den Inhalt des Seitenregisters adressiert, wobei in diesen Instruktionswortspeicherseiten die Zeilenadressierung mit gleichlaufenden Lese-Register-Zeiger und Schreib-Register-Zeiger vorgenommen wird.

So werden Instruktionsworte in den jeweiligen Instruktionswortspeicherseiten blockweise aufgebaut und abgearbeitet, deren Auswahl nur durch die Angabe des mit geringeren Bitbreite versehenen Seitenspeicherinhaltes und nicht mit der Adressierung der Anfangswerte von Lese-Zeiger und Schreib-Zeiger, bei denen größere Bitbreiten notwendig sind, vorgenommen wird.

Die erfindungsgemäße Aufgabe wird auch durch die Merkmale des Anspruchs 5 gelöst. Damit wird es möglich, auch bei einer Gestaltung, bei der die Schreib- und Lesezeilennummern in den Programmworten enthalten ist, eine Verringerung der Breite der Programmworte zu erzielen, da insbesondere bei einer großen Anzahl von Zeilen in dem Instruktionswortspeicher durch eine Seiteneinteilung die Zeilennummern kleiner gehalten und damit die entsprechenden Informationen in dem Programmwort schmaler

gehalten werden können.

Eine weitere vorteilhafte Ausführung der erfindungsgemäßen Verfahren sieht vor, dass ein Interruptsignal am Prozessor während einer bearbeiteten ersten Aufgabe auf einer Instruktionsspeicherspeicherseite eine Zwischenspeicherung eines verlassenen Bearbeitungsstandes der ersten Aufgabe auf einem Globalspeicher und nachfolgend die Abarbeitung einer zweiten Aufgabe auf der unbearbeiteten ersten Instruktionsspeicherspeicherseite oder der zweiten Instruktionsspeicherspeicherseite unverzüglich auslöst und dass nach Beendigung der zweiten Aufgabe nach Rückspeicherung aus dem Globalspeicher wieder am verlassenen Bearbeitungsstand der ersten Aufgabe anknüpfend diese fortgeführt wird.

Mit dieser erfindungsgemäßen Lösung wird gewährleistet, dass schnell abzuarbeitende Aufgaben höherer Priorität, die der Prozessor ausführen muss, ohne Zeitverzögerung und mit geringsten Zwischenspeicher- und Adressieraufwand in die gesamte Abarbeitung der Programmwortverarbeitung vorteilhaft einbezogen wird.

Eine weitere Ausgestaltung der erfindungsgemäßen Verfahren sieht vor, dass eine Prefetch-Einheit den Aufbau des Instruktionsspeichers steuert und dass die Prefetch-Einheit unabhängig vom Bearbeitungsstand der aktuellen Aufgabe ein zusätzliches Instruktionswort in einer unbenutzten Zeile des Instruktionsspeichers oder in einem zusätzlichen Instruktionsspeicher bereit stellt, wenn bei der Abarbeitung einer aktuellen Aufgabe kein neues Instruktionswort anfällt.

Diese Lösung gewährleistet, dass bei Abarbeitung der Instruktionsspeicherspeicher Verzögerungen bei der Bereitstellung von neuen Instruktionsspeicherspeichern minimiert werden, indem in Wartezeiten zum Einspeichern eines neuen Instruktionsspeichers diese Zeit von der Prefetch-Einheit verwendet wird, um ein nachfolgend zur Verarbeitung anstehendes Programmwort zu verarbeiten und ein neu erzeugtes Instruk-

tionswort in einem gesonderten Bereich des Instruktionswortspeichers zur Instruktionswortverarbeitung bereitzustellen.

5 Eine Ausgestaltung der erfindungsgemäßen Anordnung sieht vor, dass dem Instruktionswortspeicher eine Generiereinheit zugeordnet ist.

10 Eine weitere Ausgestaltung der erfindungsgemäßen Anordnung sieht vor, dass in der Generiereinheit ein Blocklängen-Register, ein Lese-Zeiger-Register und ein Schreib-Zeiger-Register angeordnet sind, wobei dem Lese-Zeiger-Register ein Lese-Zeiger-vor/rückwärts-Zähler und dem Schreib-Zeiger-Register ein Schreib-Zeiger-vor/rückwärts-Zähler zugeordnet sind, deren modulo-Zähleigenschaften mit dem Inhalt des Blocklängen-Registers
15 korrespondieren.

Die Erfindung soll nachfolgend anhand eines Ausführungsbeispiels näher erläutert werden. In der Zeichnung zeigt:

20 Fig. 1 Funktionsblöcke und Ablauf des Verfahrens

Fig. 2 Blockschaltbild der Generiereinheit

25 Bei dem in Fig. 1 gezeigten Verfahren zur Instruktionswortgenerierung bei der Ansteuerung von Funktionseinheiten 12 an einem Prozessor 13 wird in bekannter Art und Weise aus einem Programmcode 1 mittels einer Übersetzung vor einem Programmablauf eine Folge von Primärinstruktionsworten 2 aus mehreren Instruktionswortteilen 4 erzeugt. Weiterhin wird die Folge von
30 Primärinstruktionsworten 2 in der Programmworterzeugung 8 fraktioniert und als Folge von zugehörigen Programmworten 17 in einem Ablaufspeicher 9 gespeichert.

35 In einem Programmablauf werden vor der Ausgabe aus dem Ablaufspeicher 9 das Programmwort 17 mit dem in ihm enthaltene Set-Bit 21 auf aktiven Zustand geprüft. Wird ein solcher erkannt, wird die weitere Programmwortverarbeitung in der Instruktionswortverarbeitung 10 ausgesetzt und der Information-

steil dieses Programmwortes 17 wird für die Belegung des Lese-Zeiger-Registers 18, des Schreib-Zeiger-Registers 19 und des Blocklängenregisters 20 bereitgestellt und in diese Register eingespeichert.

5

Mit diesen, in den Registerinhalten neu eingeschriebenen Informationen wird einerseits mit dem Inhalt des Blocklängenregisters 20 die modulo-Zählweise des Lese-Zeiger-Registers 18 und des Schreib-Zeiger-Registers 19 eingestellt. Andererseits werden mit den Inhalten des Lese-Zeiger-Registers 18 und des Schreib-Zeiger-Registers 19 die jeweiligen Anfangswerte der bei der nächsten Instruktionswortverarbeitung auszugebenden Lese-Zeiger 35 und Schreib-Zeiger 36 voreingestellt.

15

Bei der nachfolgenden Instruktionswortverarbeitung in einem Instruktionswortspeicher 24 mit einer durch den Inhalt des Seitenregisters 27 ausgewählten ersten oder zweiten Instruktionswortspeicherseite 6, 7 wird durch den ausgegebenen Lese-Zeiger 35 die aktuelle Lesezeilennummer und durch den ausgegebenen Schreib-Zeiger 36 die aktuelle Schreibzeilennummer eines zu verarbeitenden Blockes von Instruktionsworten, welcher mit der durch den Inhalt des Blocklängenregisters 20 bestimmten Blocklänge versehen ist, angegeben. Der Instruktionswortverarbeitungsschritt kann programmgemäß durch Lese/Schreib/NOP(No-Operation) Operationen, verbunden mit einem erforderlichen Ausgabevorgang in die Instruktionswortausgabe 11, ausgeführt werden.

20

25

30

Nach einem Instruktionswortverarbeitungsschritt werden das Lese-Zeiger-Register 18 und das Schreib-Zeiger-Register 19 um eins weitergeschaltet und es kann ein weiterer Instruktionswortverarbeitungsschritt erfolgen.

35

Falls ein Interruptsignal 25 vom Prozessor 13 ausgelöst wird, muß eine damit verbundene Aufgabe mit höherer Priorität unverzüglich ausgeführt werden. Alle bisherigen Registerinhalte einschließlich des Seitenregisters werden zwischengespeichert und diese Register werden während des Interruptvorganges neu

belegt. Die mit dem Interrupt verbundene Instruktionswortverarbeitung wird in einem dafür vorgesehenen Instruktionswortspeicher 24 ausgeführt. Nach Beendigung des Interruptvorganges werden alle zwischengespeicherten Registerinhalte rückgespeichert und die Instruktionswortverarbeitung kann an der durch das Interruptsignal 25 unterbrochenen Stelle programmgemäß fortgeführt werden.

Wird während einer Instruktionswortverarbeitung kein neues Instruktionswort 15 von der Instruktionsworterzeugung 10 zum Einspeichern in den Instruktionswortspeicher 24 angefordert, so wird von der Prefetch-Einheit 28 der Programmwortnachfolger 16 aus dem Ablaufspeicher 9 und das aktuell vom Instruktionswortspeicher 24 ausgegebene Instruktionswort 15 eingelesen und das zusätzliche Instruktionswort 29 erzeugt.

Dieses wird in einer freien Zeile des Instruktionswortspeichers 24 oder in dem zusätzlichen Instruktionswortspeicher 30 bereitgestellt und wird bei einer im weiteren Verlauf der Instruktionswortverarbeitung erfolgten Anforderung eines neuen Instruktionswortes 15 sofort umgeladen. Auf diese Weise wird die Verzögerung, die bei der Bereitstellung des neuen Instruktionswortes 15 in der Instruktionsworterzeugung 10, bedingt durch die dort anfallende Verarbeitungszeit, vermieden.

Mit einem Speichern des Instruktionswortes 15 in die Instruktionswortausgabe 11 werden die zur Verarbeitung in den entsprechenden Funktionseinheiten 12 des Prozessors 13 erforderlichen Funktionen ausgelöst.

In Fig. 2 ist die Generiereinheit 31 ersichtlich, in der das Blocklängenregister 20, das Lese-Zeiger-Register 18 mit dem zugeordneten Lese-Zeiger-vor/rückwärts-Zähler 32 und das Schreib-Zeiger-Register 19 mit dem zugeordneten Schreib-Zeiger-vor/rückwärts-Zähler 33 angeordnet sind.

An den Eingängen des Blocklängenregisters 20, des Lese-Zeiger-Registers 18 und des Schreib-Zeiger-Registers 19 liegt jeweils

der Informationsteil-Bus 26 an, welcher die Eingabewerte für die Register bereitstellt. Mittels des ebenfalls an den Eingängen der Register anliegenden Set-Bit-Signales 34 wird der Speichervorgang für die Eingabewerte bewirkt.

5

Der Ausgang des Blocklängenregisters 20 stellt für den modulo-Zählwert für den Lese-Zeiger-vor/rückwärts-Zähler 32 und den Schreib-Zeiger-Registers 19 bereit. Am Ausgang des Lese-Zeiger-Registers 18 wird der Anfangswert des Lese-Zeigers 35 für die Eingabe in den Lese-Zeiger-vor/rückwärts-Zähler 32 bereitgestellt. Dessen Ausgang legt den aktuellen Wert des Lese-Zeigers 35 an den Eingang des Lese-Zeiger-Registers 18. Dadurch wird über den zweiten Ausgang des Lese-Zeiger-Registers 18 der Lese-Zeiger 35 bereitgestellt.

15

Am Ausgang des Schreib-Zeiger-Registers 19 wird der Anfangswert des Schreib-Zeigers 36 für die Eingabe in den Schreib-Zeiger-vor/rückwärts-Zähler 33 bereitgestellt. Dessen Ausgang legt den aktuellen Wert des Schreib-Zeigers 36 an den Eingang des Lese-Zeiger-Registers 19. Dadurch wird über den zweiten Ausgang des Schreib-Zeiger-Registers 19 der Schreib-Zeiger 36 bereitgestellt.

20

25

30

35

LIPPERT, STACHOW, SCHMIDT & PARTNER

Patentanwälte · European Patent Attorneys · European Trademark Attorneys

Krenkelstraße 3 · D-01309 Dresden

Telefon +49 (0) 351.3 18 18-0

Telefax +49 (0) 351.3 18 18 33

Ad-wb/wb

14. Februar 2001

5

Systemonic AG**01099 Dresden**

10 **Verfahren und Anordnung zur Instruktionswortgenerierung bei
der Ansteuerung von Funktionseinheiten in einem Prozessor**

Bezugszeichenliste

- | | | |
|----|----|--------------------------------------|
| 15 | 1 | Programmcode |
| | 2 | Primärinstruktionswort |
| | 3 | Instruktionswortspeicher |
| | 4 | Instruktionswortteil |
| | 6 | erste Instruktionswortspeicherseite |
| 20 | 7 | zweite Instruktionswortspeicherseite |
| | 8 | Programmworterzeugung |
| | 9 | Ablaufspeicher |
| | 10 | Instruktionsworterzeugung |
| | 11 | Instruktionswortausgabe |
| 25 | 12 | Funktionseinheit |
| | 13 | Prozessor |
| | 15 | Instruktionswort |
| | 16 | Programmwortnachfolger |
| | 17 | Programmwort |
| 30 | 18 | Lese-Zeiger-Register |
| | 19 | Schreib-Zeiger-Register |
| | 20 | Blocklängen-Register |
| | 21 | Set-Bit |
| | 24 | Instruktionswortspeicher |
| 35 | 25 | Interruptsignal |
| | 26 | Informationsteil-Bus |
| | 27 | Seitenregister |
| | 28 | Prefetch-Einheit |

- 29 zusätzliches Instruktionswort
- 30 zusätzliches Instruktionswortspeicher
- 31 Generiereinheit
- 32 Lese-Zeiger-vor/rückwärts-Zähler
- 5 33 Schreib-Zeiger-vor/rückwärts-Zähler
- 34 Set-Bit-Signal
- 35 Lese-Zeiger
- 36 Schreib-Zeiger

Akte

LIPPERT, STACHOW, SCHMIDT & PARTNER
 Patentanwälte · European Patent Attorneys · European Trademark Attorneys
 Krenkelstraße 3 · D-01309 Dresden
 Telefon +49 (0) 3 51.3 18 18-0
 Telefax +49 (0) 3 51.3 18 18 33

Ad-wb/wb

14. Februar 2001

5

Systemonic AG
01099 Dresden

10 **Verfahren und Anordnung zur Instruktionswortgenerierung bei
 der Ansteuerung von Funktionseinheiten in einem Prozessor**

Patentansprüche

- 15 1. Verfahren zur Erzeugung von Instruktionsworten zur An-
 steuerung von Funktionseinheiten in einem Prozessor, wobei
 die Instruktionsworte aus mehreren Instruktionswortteilen
 bestehen und jeder Instruktionswortteil je eine Funktions-
 einheit ansteuert, bei dem vor einem Programmablauf eine
 20 aus einer Übersetzung eines Programmcodes stammende Folge
 von Primäristrukionsworten eine Fraktionierung in Pro-
 grammworte erfährt und bei dem beim Programmablauf, durch
 ein Programmwort, welches einen Informationsteil zumindest
 von der Breite eines Instruktionswortteiles aufweist,
 25 gesteuert, aus einer durch eine Lesezeilennummer bestimmte
 Zeile eines zeilenweise beschreibbaren Instruktionswort-
 speicher ein Instruktionswort entnommen wird, mittels
 Substitution eines Instruktionswortteiles durch das Infor-
 mationsteil des jeweiligen Programmwortes verändert und in
 30 eine durch eine Schreibzeilennummer bestimmte Zeile des
 Instruktionswortspeichers zurückgeschrieben wird und nach
 einer auf diese Weise erfolgten Erzeugung eines dem ab-
 zuarbeitenden Primäristrukionswort entsprechenden In-
 struktionswortes dieses zur Ansteuerung der Funktionsein-
 35 heiten ausgegeben wird, d a d u r c h g e k e n n -
 z e i c h n e t, dass die Lesezeilennummer durch ein Lese-
 Zeiger-Register (18) und die Schreibzeilennummer durch
 ein Schreib-Zeiger-Register (19) bereitgestellt wird,

wobei je Programmwort (17) eine Lese- und eine Schreibzeilennummer ausgegeben wird, und wobei eine Anzahl aufeinander folgender Lese- und Schreibzeilennummern durch den Inhalt eines Blocklängen-Registers (20) bestimmt wird.

5

2. Verfahren nach Anspruch 1, d a d u r c h g e k e n n - z e i c h n e t, dass das Programmwort (17) ein Set-Bit (21) aufweist, durch welches bei gesetztem aktiven Zustand die Instruktionsworterzeugung (10) ausgesetzt wird und die Registerinhalte des Lese-Zeiger-Registers (18), und/oder des Schreib-Zeiger-Registers (19) und/oder des Blocklängen-Registers (20) durch den Inhalt des Informations-
 teiles des Programmwortes gesetzt werden und bei gesetztem inaktiven Zustand des Set-Bits (21) die Erzeugung des Instruktionswortes (15) durchgeführt wird.

10

15

3. Verfahren nach Anspruch 2, d a d u r c h g e k e n n - z e i c h n e t, dass bei einem Programmwort (17) mit gesetztem aktiven Zustand des Set-Bits (21) der Inhalt des Informationsteiles in die Lese-Zeiger-Register (18), Schreib-Zeiger-Register (19) und Blocklängen-Register (20) einspeichert wird.

20

4. Verfahren nach einem der Ansprüche 1 bis 4, d a d u r c h g e k e n n z e i c h n e t, dass der Instruktionswortspeichers (24) in eine erste Instruktionswortspeicherseite (6) und in eine zweite Instruktionswortspeicherseite (7) mit jeweils gleicher Zeilennummerierung aufgeteilt wird und dass für die Synthese des Instruktionswortes (15) die aufzurufende Instruktionswortspeicherseite vom Inhalt eines Seitenregisters (27) bestimmt wird.

25

30

5. Verfahren zur Erzeugung von Instruktionsworten zur Ansteuerung von Funktionseinheiten in einem Prozessor, wobei die Instruktionsworte aus mehreren Instruktionswortteilen bestehen und jeder Instruktionswortteil je eine Funktionseinheit ansteuert, bei dem vor einem Programmablauf eine aus einer Übersetzung eines Programmcodes stammende Folge

35

von Primärinstruktionsworten eine Fraktionierung in Programmworte erfährt und bei dem beim Programmablauf, durch ein Programmwort, welches einen Informationsteil zumindest von der Breite eines Instruktionswortteiles aufweist, gesteuert, aus einer durch eine Lesezeilennummer bestimmte Zeile eines zeilenweise beschreibbaren Instruktionswortspeicher ein Instruktionswort entnommen wird, mittels Substitution eines Instruktionswortteiles durch das Informationsteil des jeweiligen Programmwortes verändert und in eine durch eine Schreibzeilennummer bestimmte Zeile des Instruktionswortspeichers zurückgeschrieben wird und nach einer auf diese Weise erfolgten Erzeugung eines dem abzuarbeitenden Primärinstruktionswort entsprechenden Instruktionswortes dieses zur Ansteuerung der Funktionseinheiten ausgegeben wird, d a d u r c h g e k e n n z e i c h n e t, dass der Instruktionswortspeicher (24) in eine erste Instruktionswortspeicherseite (6) und in eine zweite Instruktionswortspeicherseite (7) aufgeteilt wird und dass für die Synthese des Instruktionswortes (15) die aufzurufende Instruktionswortspeicherseite vom Inhalt eines Seitenregisters (27) bestimmt wird.

6. Verfahren nach einem der Ansprüche 1 bis 5, d a d u r c h g e k e n n z e i c h n e t, dass ein Interruptsignal (25) am Prozessor während einer zu bearbeiteten ersten Aufgabe auf der ersten Instruktionswortspeicherspeicherseite (6) oder der zweiten Instruktionswortspeicherseite (7) eine Zwischenspeicherung eines verlassenen Bearbeitungsstandes der ersten Aufgabe auf einem Globalspeicher und nachfolgend die Abarbeitung einer zweiten Aufgabe auf der un bearbeiteten ersten Instruktionswortspeicherspeicherseite (6) oder der zweiten Instruktionswortspeicherseite (7) unverzüglich auslöst und dass nach Beendigung der zweiten Aufgabe nach Rückspeicherung aus dem Globalspeicher wieder am verlassenen Bearbeitungsstand der ersten Aufgabe anknüpfend diese fortgeführt wird.

7. Verfahren nach einem der Ansprüche 1 bis 6, d a d u r c h

g e k e n n z e i c h n e t, dass eine Prefetch-Einheit (28) den Aufbau des Instruktionswortspeichers (24) steuert und dass unabhängig vom Bearbeitungsstand der aktuellen Aufgabe die Prefetch-Einheit (28) ein zusätzliches Instruktionswort (29) in einer unbenutzten Zeile des Instruktionswortspeichers (24) oder in einem zusätzlichen Instruktionswortspeichers (30) bereit stellt, wenn bei der Abarbeitung einer aktuellen Aufgabe an der Prefetch-Einheit (28) kein neues Instruktionswort (15) anfällt.

8. Anordnung zur Erzeugung von Instruktionsworten zur Ansteuerung von Funktionseinheiten in einem Prozessor mit Funktionseinheiten, mit einem diesen Funktionseinheiten zugeordneten Instruktionswortspeicher und einem Instruktionswortpuffer zur Speicherung bereits erzeugter Instruktionsworte mit einer Breite, die mindestens gleich der Bitbreite des Instruktionswortes ist, wobei der Instruktionswortpuffer aus einem Speicher mit wahlweisem oder fest programmierten zeilenweisen Zugriff besteht, d a -
d u r c h g e k e n n z e i c h n e t, dass dem Instruktionswortspeichers (24) eine Generiereinheit (31) zugeordnet ist.

9. Anordnung nach Anspruch 8, d a d u r c h g e k e n n z e i c h n e t, dass in der Generiereinheit (31) ein Blocklängen-Registers (20) ein Lese-Zeiger-Register (18) und ein Schreib-Zeiger-Register (19) angeordnet sind, wobei dem Lese-Zeiger-Register (8) ein Lese-Zeiger-vor/rückwärts-Zähler (32) und dem Schreib-Zeiger-Register (19) ein Schreib-Zeiger-vor/rückwärts-Zähler (33) zugeordnet sind, deren Ring-Zähleigenschaften mit dem Inhalt des Blocklängen-Registers (20) bestimmt werden.

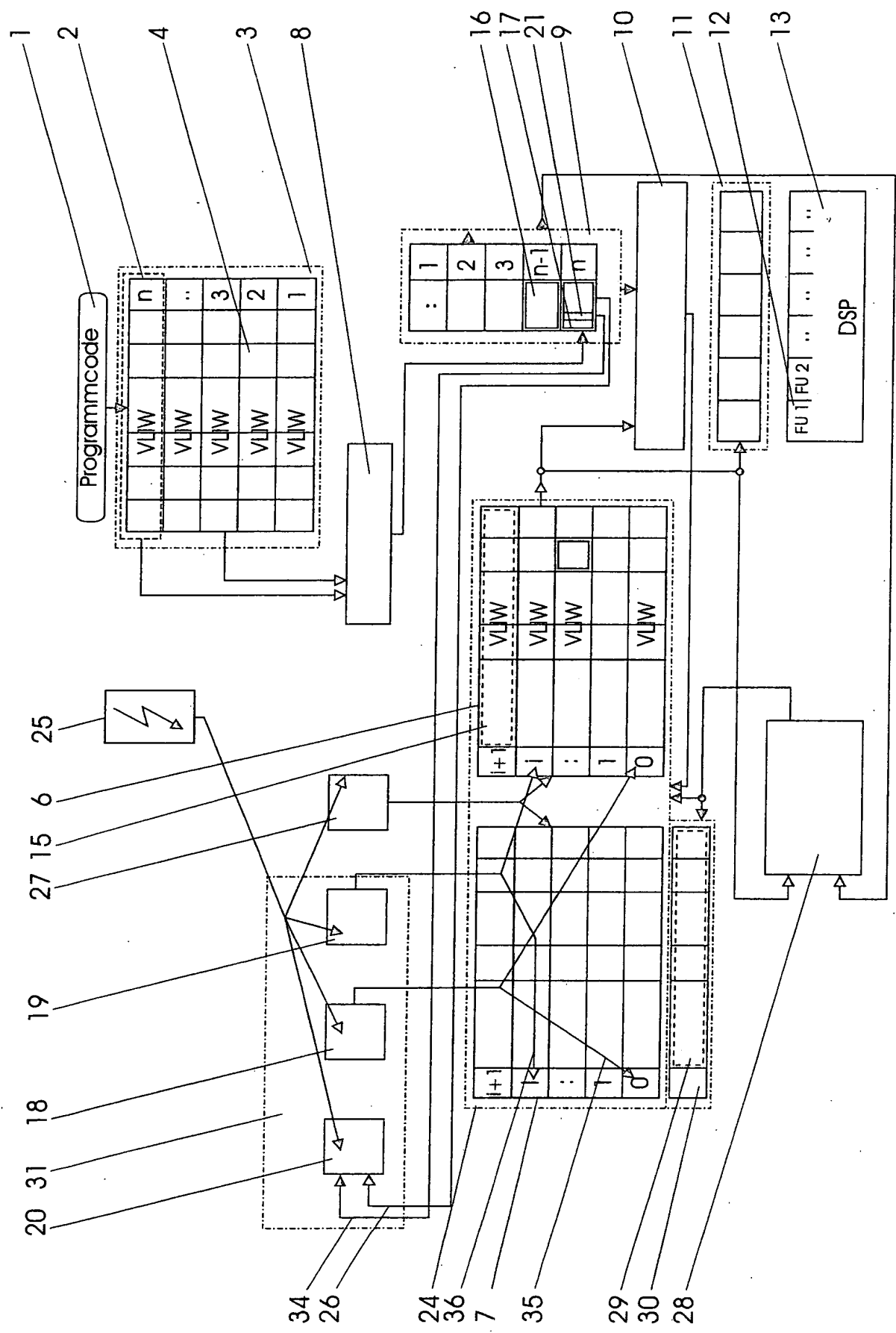


Fig. 1

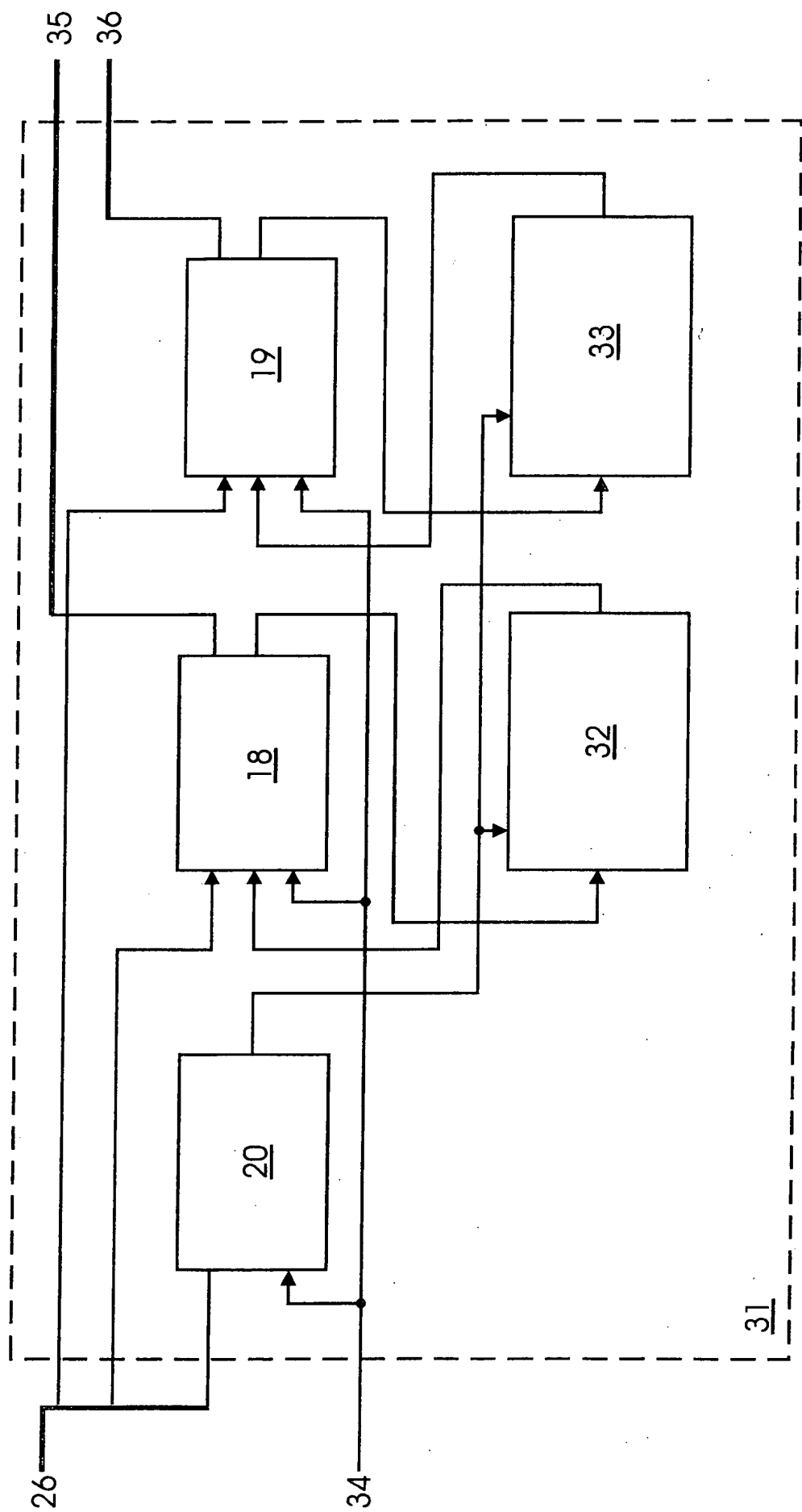


Fig. 2

14. Februar 2001

5

Systemonic AG

01099 Dresden

10

**Verfahren und Anordnung zur Instruktionswortgenerierung bei
der Ansteuerung von Funktionseinheiten in einem Prozessor**

Zusammenfassung

20

25

30

35

Die Erfindung betrifft ein Verfahren und eine Anordnung zur Instruktionswortengenerierung bei der Ansteuerung von Funktionseinheiten in einem Prozessor, wobei die Instruktionsworte aus mehreren Instruktionswortteilen bestehen. Hierbei werden in einem Programmablauf, durch ein Programmwort gesteuert, aus einer durch eine Lesezeilennummer bestimmten Zeile eines zeilenweise beschreibbaren Instruktionswortspeichers ein Instruktionswort entnommen, mittels Substitution eines Instruktionswortteiles durch das Informationsteil des jeweiligen Programmwortes verändert und in eine durch eine Schreibzeilennummer bestimmte Zeile des Instruktionswortspeichers zurückgeschrieben. Anschließend wird ein auf diese Weise erzeugtes und programmgemäß abzuarbeitendes Instruktionswort zur Ansteuerung der Funktionseinheiten an den Prozessor ausgegeben.

Erfindungsgemäß wird eine Verringerung der Verarbeitungsbreite und eine Erhöhung der Arbeitsgeschwindigkeit erreicht, indem die Schreib- und Lesezeilennummer durch entsprechende Register erzeugt werden und/oder möglichst viele abzuarbeitende Instruktionsworten aufeinanderfolgend im Instruktionswortspeicher zusammengestellt und bearbeitet werden, sodaß sie in Blöcken zusammengefaßt werden. Dadurch kann die Verarbeitungsbreite bei der Programmwortverarbeitung in dem Teil, welcher Steuerinformationen trägt, verringert werden. (Fig. 1)

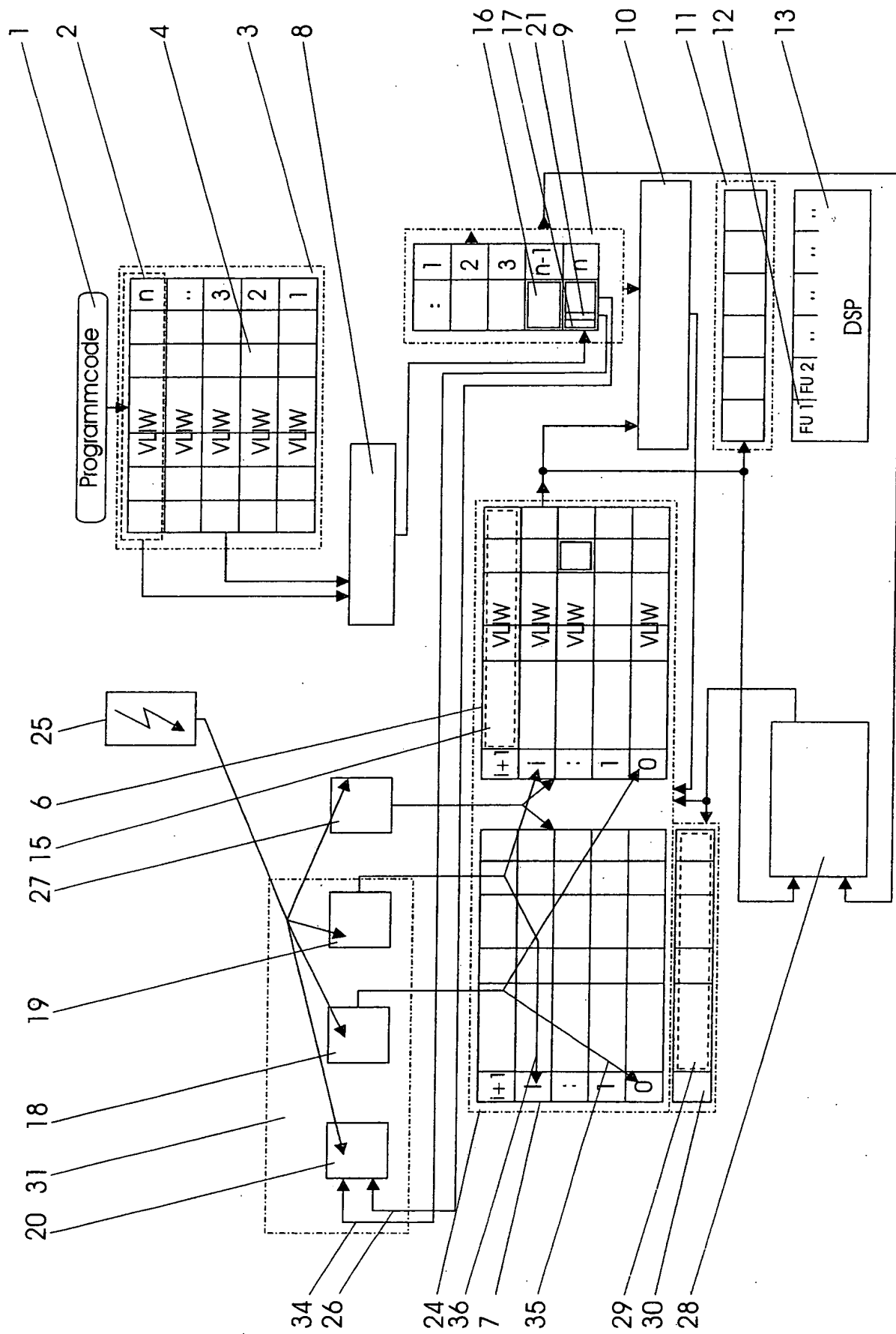


Fig. 1